

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-017578

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H01L 21/8234

H01L 21/265

H01L 27/088

H01L 29/78

(21)Application number : 2001-198594

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 29.06.2001

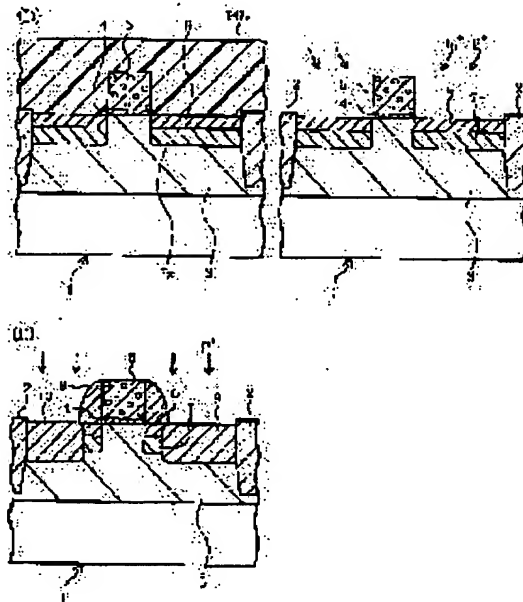
(72)Inventor : WADA HAJIME
OKABE KENICHI
WATANABE KO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of forming a pocket area by using indium and decreasing the increase of leak current by ion injection of indium.

SOLUTION: The semiconductor device has first and second active areas demarcated on the main surface of a silicon substrate, a first n channel MOS transistor formed on the first active area having a first extension area and a first pocket area adding the indium of first concentration at a position deeper than the first extension area, and a second n channel MOS transistor formed on the second active area having a second extension area and a second pocket area adding the indium of second concentration lower than the first concentration at another position deeper than the second extension area. Furthermore, boron may be ion-injected in the second pocket area.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

F-03ED0003

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許公開番号

特開2003-17578

(P2003-17578A)

(43) 公開日 平成15年1月17日 (2003.1.17)

(5) 発明者	氏名	住所
HO11	21/255	604V 5F048
HO11	21/255	604
HO11	21/255	102B 5F140
HO11	21/255	301S

審査請求 未請求 請求項の数10 OL (全12頁)

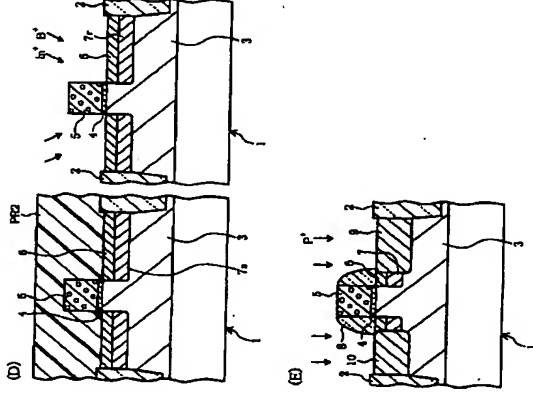
(21) 出願番号	特開2001-198594 (P2001-198594)
(22) 出願日	平成13年6月28日 (2001.6.28)
(71) 出願人	富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(72) 発明者	和野 一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社 愛知県春日井市高蔵寺町2丁目1844番2
(74) 代理人	100091340 弁理士 高橋 敏四郎

(54) 発明の名称 半導体装置とその製造方法

(57) 【要約】

【課題】 インジウムを用いてポケット領域を形成し、かつインジウムのイオン注入によるリーク電流の増加を低減することのできる半導体装置を提供する。

【解決手段】 半導体装置は、シリコン基板の主表面上に形成された第1、第2の活性領域と、第1の活性領域上に形成された第1のエクステンション領域と、第1の活性領域より深い位置で第1のエクステンション領域を有する第1のnチャネルMOSトランジスタと、第2の活性領域上に形成された第2のエクステンション領域と、第2の活性領域より深い位置で第2のエクステンション領域を有する第2のnチャネルMOSトランジスタとを有する。さらに、第2のエクステンション領域にポロンをイオン注入してもよい。



(2)

特開平15-017578

【特許請求の範囲】

【請求項1】 主表面を有するシリコン基板と、

前記シリコン基板の主表面上に形成された第1の活性領域と、

前記第1の活性領域上に形成された第1のエクステンション領域と、

前記第1の活性領域より深い位置で第1のエクステンション領域を有する第1のnチャネルMOSトランジスタと、

第2の活性領域と、

前記第2の活性領域上に形成された第2のエクステンション領域と、

前記第2の活性領域より深い位置で第2のエクステンション領域を有する第2のnチャネルMOSトランジスタと、

第3の活性領域と、

前記第3の活性領域上に形成された第3のエクステンション領域と、

前記第3の活性領域より深い位置で第3のエクステンション領域を有する第3のnチャネルMOSトランジスタと、

第4の活性領域と、

前記第4の活性領域上に形成された第4のエクステンション領域と、

前記第4の活性領域より深い位置で第4のエクステンション領域を有する第4のnチャネルMOSトランジスタと、

第5の活性領域と、

前記第5の活性領域上に形成された第5のエクステンション領域と、

前記第5の活性領域より深い位置で第5のエクステンション領域を有する第5のnチャネルMOSトランジスタと、

第6の活性領域と、

前記第6の活性領域上に形成された第6のエクステンション領域と、

前記第6の活性領域より深い位置で第6のエクステンション領域を有する第6のnチャネルMOSトランジスタと、

第7の活性領域と、

前記第7の活性領域上に形成された第7のエクステンション領域と、

前記第7の活性領域より深い位置で第7のエクステンション領域を有する第7のnチャネルMOSトランジスタと、

第8の活性領域と、

前記第8の活性領域上に形成された第8のエクステンション領域と、

前記第8の活性領域より深い位置で第8のエクステンション領域を有する第8のnチャネルMOSトランジスタと、

第9の活性領域と、

前記第9の活性領域上に形成された第9のエクステンション領域と、

前記第9の活性領域より深い位置で第9のエクステンション領域を有する第9のnチャネルMOSトランジスタと、

第10の活性領域と、

前記第10の活性領域上に形成された第10のエクステンション領域と、

前記第10の活性領域より深い位置で第10のエクステンション領域を有する第10のnチャネルMOSトランジスタと、

第11の活性領域と、

前記第11の活性領域上に形成された第11のエクステンション領域と、

前記第11の活性領域より深い位置で第11のエクステンション領域を有する第11のnチャネルMOSトランジスタと、

第12の活性領域と、

前記第12の活性領域上に形成された第12のエクステンション領域と、

前記第12の活性領域より深い位置で第12のエクステンション領域を有する第12のnチャネルMOSトランジスタと、

第13の活性領域と、

前記第13の活性領域上に形成された第13のエクステンション領域と、

前記第13の活性領域より深い位置で第13のエクステンション領域を有する第13のnチャネルMOSトランジスタと、

第14の活性領域と、

前記第14の活性領域上に形成された第14のエクステンション領域と、

前記第14の活性領域より深い位置で第14のエクステンション領域を有する第14のnチャネルMOSトランジスタと、

第15の活性領域と、

前記第15の活性領域上に形成された第15のエクステンション領域と、

前記第15の活性領域より深い位置で第15のエクステンション領域を有する第15のnチャネルMOSトランジスタと、

第16の活性領域と、

前記第16の活性領域上に形成された第16のエクステンション領域と、

前記第16の活性領域より深い位置で第16のエクステンション領域を有する第16のnチャネルMOSトランジスタと、

た半導体デバイスにおいては、トランジスタのゲート幅が狭くなるに従い、閾値電圧が低下する。トランジスタのゲート幅が狭くなるに従い、閾値電圧が増大する。チャネル効果に対し、閾値電圧が低下する現象は逆チャネル効果と呼ばれる。p型ポッケット領域を形成するために、インジウムを用いたデバイスにおいては、ボロンを用いたデバイスに比べ逆チャネル効果がより顕著になる。閾値電圧が低下するため、リーク電流増大につながる。

【0030】図6は、本発明者が行ったサーマルクエープの実験結果を示す。図5 (D) に示すようなnチャネルMOSトランジスタにおいて、ポッケット領域7を、種々のドーパント量のインジウムイオン注入により形成した。また、イオン注入後行なう活性化熱処理の条件を変化させた。

【0031】これらのサンプルに対し、ある周波数の熱波を与え、反射した熱波を測定することにより反折率を測定し、サーマルクエープ効果を得る。半導体基板内にアモルファス領域があると、このアモルファス領域は熱波の反射を増大させる機能を有する。従って、熱波の反折率は、基板中にアモルファス相が生成していることを示唆する。サーマルクエープ効果の増大は、アモルファス相の領域の増大を示唆する。

【0032】図6において、横軸はインジウムのドーパント量であり、縦軸はサーマルクエープ効果 (反折率) を示す。インジウムのドーパント量は、 $1.5 \times 10^{13} \text{ cm}^{-2}$ 、 $2.0 \times 10^{13} \text{ cm}^{-2}$ 、 $2.5 \times 10^{13} \text{ cm}^{-2}$ 、 $3.0 \times 10^{13} \text{ cm}^{-2}$ 、 $4.0 \times 10^{13} \text{ cm}^{-2}$ に変化する。熱処理条件は 1025°C 3秒、 1025°C 20秒、 1100°C 3秒、 900°C 20秒の4条件で行った。【0033】 1025°C 、3秒間の熱処理を行ったサンプルの測定結果は曲線c1で示されている。 1025°C 、20秒間の熱処理を行ったサンプルの測定結果は曲線c2で示されている。曲線c1においては、インジウムドーパント量が $2.5 \times 10^{13} \text{ cm}^{-2}$ を越えると、サーマルクエープ効果は徐々に増大する。約 $3.5 \times 10^{13} \text{ cm}^{-2}$ を越えるインジウムドーパント量では、低ドーパ領域での変化のないサーマルクエープ効果と比較し、約20%以上のサーマルクエープ効果の増大が認められる。

【0034】 1025°C での熱処理時間を3秒から20秒に増加させると、曲線c2に示すように、サーマルクエープ効果は 1 n ドープ量に拘わらず、ほぼ平坦な値を示す。 1 n のイオン注入により発生したアモルファス相は、ほぼ完全に結晶相に回復していると考えられる。しかしながら、この熱処理条件は微細デバイスに対し接合形状等他の点で与える影響が大きくなる。

【0035】熱処理温度を低減した 900°C 、20秒間の熱処理に対しては、曲線d1で示される特性が得られた。曲線d1においては、インジウムドーパント量が 2.0

$\times 10^{13} \text{ cm}^{-2}$ を越えると、サーマルクエープ効果は明確な増大を示している。低ドーパ領域ではほぼ平坦なサーマルクエープ効果を示し、インジウムドーパント量が $2.5 \times 10^{13} \text{ cm}^{-2}$ において、約30%のサーマルクエープ効果の増大が認められる。

【0036】熱処理温度を高めた 1100°C 、3秒間の熱処理に対しては、曲線d2で示される特性が得られた。曲線d2においては、インジウムドーパント量を増大してもサーマルクエープ効果の増大は認められず、ほぼ平坦な特性が得られている。しかしながら、 1100°C 、3秒間の熱処理は、微細デバイスに対し、接合形状等他の点で与える影響が大きい。

【0037】図6に示す測定結果からは、熱処理を 1025°C 、3秒間で行なう場合、インジウムのドーパント量は約 $3.5 \times 10^{13} \text{ cm}^{-2}$ 以下とすることがアモルファス相抑制の点から好ましいと判る。 900°C 、20秒間の熱処理を行なう場合は、インジウムドーパント量はさらに低く約 $2.5 \times 10^{13} \text{ cm}^{-2}$ 以下とすることが望ましい。

【0038】以下、本発明の実施例について説明する。図1 (A) ～図2 (E) は、単一の半導体チップ上に1nドープポッケット領域を形成し、リーク電流の増加を許容する標準トランジスタと、 1 n を用いるが、リーク電流を低減した低リークトランジスタとを製造する方法の主要工程を示す半導体チップの断面図である。

【0039】図1 (A) に示すように、シリコン基板1の主表面上、ST1により素子分離領域2を形成する。素子分離領域2は、シリコン基板1主表面上に多数の活性領域ARを測定する。

【0040】pチャネル領域をレジスト等のマスクで覆い、nチャネル領域にB⁺イオンを加速エネルギー 300 keV 、ドーパント量 $3.0 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、p型ウェル3を形成する。さらに、表面部分にB⁺イオンを加速エネルギー 30 keV 、ドーパント量 $5.0 \times 10^{12} \text{ cm}^{-2}$ でイオン注入し、閾値を調整したチャネルを形成する。

【0041】pチャネル領域に対しては、nチャネル領域をレジスト等のマスクで覆い、別個のイオン注入を行う。

【0042】活性領域上に薄いゲート絶縁膜4、例えば厚さ約 $5 \sim 10 \text{ nm}$ の酸化シリコン膜を熱酸化などで形成し、その表面上に多結晶シリコン、ポリサイド等の導電性ゲート電極層を形成する。ゲート電極層上にレジストマスクPRを形成し、パターンニングすることにより、絶縁ゲート電極5、ゲート絶縁膜4を形成する。その後、レジストマスクPRは除去する。

【0043】図1 (B) に示すように、絶縁ゲート電極5、ST1領域2をマスクとし、nチャネル領域の活性領域にA⁺イオンを加速エネルギー 5 keV 、ドーパント量 $3.0 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入し、深いソース/ドレインエクステンション領域6を形成する。

【0044】なお、このイオン注入の際、pチャネル領域はレジストマスクで覆って置く。pチャネル領域に対しては、nチャネル領域をレジスト等のマスクで覆って、別個のイオン注入を行なう。

【0045】なお、以上の工程は、標準トランジスタ、低リークトランジスタに共通である。

【0046】図1 (C) は、左側に標準トランジスタ、右側に低リークトランジスタを示す。図に示すように、低リークトランジスタの活性領域をレジストマスクPR1で覆い、nチャネル標準トランジスタの活性領域に1n⁺イオンを加速エネルギー 100 keV 、ドーパント量 $3 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入し、深いエクステンション領域の下にポッケット領域7を形成する。その後レジストマスクPR1は除去する。

【0047】イオン注入の方向は、基板法線から約 30° 度傾斜した4方向から行なう。傾斜させる事により、絶縁ゲート電極5の下に入り込んだp型ポッケット領域を形成する。

【0048】図2 (D) に示すように、標準トランジスタ領域をレジストマスクPR2で覆い、nチャネル低リークトランジスタの活性領域に対し、ポッケット領域形成のためのイオン注入を行なう。まず、 1 n イオンを加速エネルギー 100 keV 、トータルドーパント量 $3.4 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入する。さらに、B⁺イオンを加速エネルギー 10 keV 、ドーパント量 $2.0 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入する。このイオン注入も、基板法線から 30° 度傾斜した4方向から行なう。

【0049】このように、低リークnチャネルMOSトランジスタのポッケット領域に対しては、 1 n のイオン注入を抑制し、アモルファス相の発生を抑制する。シャットチャネル効果抑制の効果が不足する分はBをイオン注入することによって補う。その後レジストマスクPR2は除去する。なお、図1 (C)、図2 (D) の工程は、nチャネルMOSトランジスタに対するものであり、pチャネルMOSトランジスタに対しては、別個のイオン注入を行なう。

【0050】図2 (E) に示すように、絶縁ゲート電極5を覆うように、酸化シリコン等の絶縁層を堆積し、異方性エッチングを行なうことにより絶縁ゲート電極の側壁にのみ側壁スペーサ8を残す。

【0051】絶縁ゲート電極5、側壁スペーサ8をマスクとし、n型不純物、例えばP⁺イオンを加速エネルギー 15 keV 、ドーパント量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入し、深いソース/ドレイン領域9を作成する。深いソース/ドレイン領域9は、側壁スペーサの外側に形成されるため、側壁スペーサの下方には、エクステンション領域6、ポッケット領域7が残る。

【0052】図3 (A) ～ (C) は、pチャネル領域におけるpチャネルMOSトランジスタの製造工程を示す断面図である。

【0053】図3 (A) に示すように、シリコン基板1の主表面上に前述の工程によりST1の素子分離領域2を形成する。pチャネル活性領域に対し、n型不純物例えばP⁺イオンを加速エネルギー 600 keV 、ドーパント量 $3.0 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入し、n型ウェル13を形成する。さらに、P⁺イオンを加速エネルギー 80 keV 、ドーパント量 $2.0 \times 10^{12} \text{ cm}^{-2}$ 程度でイオン注入し、閾値調整を行なったチャネルを形成する。

【0054】活性領域上に酸化シリコン等のゲート絶縁膜4を形成した後、多結晶シリコン、ポリサイド等のゲート電極層を形成し、パターンニングすることによりゲート絶縁膜4を備えた絶縁ゲート電極15を形成する。なお、ゲート電極15に含まれる多結晶シリコン層は、p型にドーパされる。

【0055】図3 (B) に示すように、ゲート電極15、素子分離領域2をマスクとし、例えばB⁺イオンを加速エネルギー 1 keV 、ドーパント量 $3.0 \times 10^{14} \text{ cm}^{-2}$ 程度でイオン注入し、深いソース/ドレインエクステンション領域16を形成する。

【0056】図3 (C) に示すように、A⁺イオンを加速エネルギー 80 keV 、ドーパント量 $3.0 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入し、ソース/ドレインエクステンション領域の下側にn型ポッケット領域17を形成する。なお、ポッケット領域形成のためのイオン注入は、基板法線に対し 30° 度傾斜した4方向から行なう。

【0057】図3 (D) に示すように、前述の工程により絶縁ゲート電極15側壁上に側壁スペーサ8を形成する。

【0058】その後、B⁺イオンを加速エネルギー 5 keV 、ドーパント量 $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入し、深いソース/ドレイン領域19を形成する。

【0059】A⁺で形成するポッケット領域には、 1 n で形成するポッケット領域のように、リーク電流発生等の問題が生じない。このため、標準トランジスタと低リークトランジスタを作り分けする必要はない。

【0060】図4 (A) ～ (C) は、入出力回路等に形成される高圧トランジスタの製造工程を示す。

【0061】図4 (A) に示すように、前述の実施例同様の工程により、素子分離領域2が形成される。以下、nチャネルMOSトランジスタを製造する場合を例にとりて説明する。

【0062】B⁺イオンを加速エネルギー 300 keV 、ドーパント量 $3.0 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入し、p型ウェル23を形成する。さらに、B⁺イオンを加速エネルギー 30 keV 、ドーパント量 $7.0 \times 10^{12} \text{ cm}^{-2}$ 程度でイオン注入し、チャネル領域を形成する。

【0063】活性領域上に薄いゲート絶縁膜14を形成し、その上にゲート電極層を形成する。薄いゲート絶縁膜は、所望の耐圧を得るようその厚さが制御される。例えば、活性領域表面の酸化工程を2段階に分け、その

中間段階において厚膜のゲート絶縁膜を形成する領域以外の酸化膜を除去する。このようにして、厚いゲート絶縁膜と薄いゲート絶縁膜を形成する。

【0064】ゲート電極層、ゲート絶縁膜をレジストマ
スクを用いてパターンニングすることにより、ゲート電極
25、ゲート絶縁膜14を形成する。

【0065】図4 (B) に示すように、 As^{+} イオンを加速エネルギー 10 keV 、ドーズ量 $3.0 \times 10^{14}\text{ cm}^{-2}$ 程度でイオン注入し、ソース/ドレインエクステンション領域を形成する。

【0066】図4(C)に示すように、前述の実施例同様の工程により、ゲート電極25の側壁上に隔壁スペーサ8を形成した後、例えば P^+ イオンを加速エネルギー15 keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度でイオン注入し、深いソース/ドレイン領域29を形成する。

【0067】高耐圧トランジスタは、さほど微細化されず、ボケット領域も設けられない。

【0068】図4(D)は、上述のような工程により形成される半導体チップの平面構成を概略的に示す。半導体チップ30は、入出力回路31、メモリ回路32、ロジック回路33を含む。入出力回路31は、図4(C)に示すような高圧トランジスタを含む。メモリ回路32は、例えばスタティックランダムアクセスメモリ(SRAM)で形成され、低リックnチャネルトランジスタを用いて形成される。ロジック回路33は、CMOS回路で構成され、メモリセルの底リックトランジスタよりゲート幅の広いnチャネル増幅トランジスタと、ポケット領域を備えたpチャネルトランジスタで形成される。

【0069】図7は、上述の実施例に従って形成した標準トランジスタと低レークトランジスタのリーク特性を示す。図中横軸は、リーク電流を単位Aで示し、縦軸は、 13 cm^{-2} のインジウムと $2.0 \times 10^{13}\text{ cm}^{-2}$ のボロンとのイオン注入で形成した低レークトランジスタの特性である。曲線sは、ボロン領域を $6.28 \times 10^{13}\text{ cm}^{-2}$ のイオン注入で形成した標準トランジスタの特性である。

【0070】図4から明らかなように、リーク電流は、析出以上の大きな差を示している。1nのドープ量を制限したことにより、リーク電流が大幅に減少していることが明らかである。1nのドープ量を減減すると、アモルファス化された膜が減少し、熱処理により腐食できる程度まで結晶相に回復されると考えられる。1nのドープ量を一定値以上に増やすと、回復できないアモルファス領域が増加し、リーク電流を増大させるものと考えられる。

【0071】図8 (A) ~ (C) は、閾値電圧のゲート長及びゲート幅依存性を示す。

【0072】図8 (A) に示すように、活性領域AR上にゲート電極Gが形成されている場合、ゲート電極の幅

(電流方向の長さ)をゲート長とし、それと直交方向の活性領域の幅をゲート幅 W とする。

【0073】図8(B)は、トランジスタの閾値電圧 V_{th} の長寿命性を示すグラフである。図中横軸はゲート長 L を単位 μm で示し、縦軸はトランジスタの閾値 V_{th} を単位Vで示す。ボケット領域を $1n$ のみで形成したトランジスタと、ボケット領域を $1n$ と $2n$ の2種類の不純物で形成した低リークトランジスタの特性が示されている。これら2種類のトランジスタの閾値は、ほぼ同等であり、低リークトランジスタが閾値トランジスタとほぼ同様のショットキーマン効果を抑制した特性を維持していることを示している。

【0074】図8(C)は、閾値のゲート幅 w を単位 μm で示し、縦軸は閾値 V_{th} を単位 v で示す。積算トランジスタの閾値 V_s は、ゲート幅 w の減少と共に減少を続け、ほぼ0まで達している。これに対し、ポキネット領域に I_n とBとの関係により形成した低リークトランジスタ V_y の閾値は、有限のゲート幅 w の減少(狭チャネル化)に対しても、有限のゲート幅 w の減少(狭チャネル化)に対しても、低リークトランジスタ性を維持している。このように、低リークトランジスタにより逆装チャネル効果の影響を低減した低リークトランジスタが得られる。

【0075】SRAM等のメモリ回路は、集積度向上のため狭いゲート幅の、例えば $0.05 \sim 0.5 \mu\text{m}$ の、低リークトランジスタで形成される。ロジック回路はゲート幅がより広い、例えば $1 \sim 10 \mu\text{m}$ の、標準トランジスタを用いて形成される。

【0076】なお、p型不純物としてBを用いる場合、イオンイオン種としてボロン他BF₂、デカボラン等ボラン化合物を用いてもよい。論理回路を標準トランジスタで作る場合を説明したが、論理回路を標準トランジスタと低リークトランジスタとの組み合わせ、または、低リークトランジスタのみで作ることもできる。ゲートとしてノッチゲートを用いてもよい。

【0077】以上に実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせが可能な事は当業者に自明であろう。

[0078]

【発明の効果】以上説明したように、本発明によれば、インジウムを用いてポケット領域を形成し、その利点を維持したまま、インジウムを用いることによって生じ得るリーク電流増大を低減することができる。

【図面の簡単な説明】

【図1】 本発明の実施例によるnチャネルMOSトランジスタを有する半導体装置の製造工程を示す断面図である。

【図2】 本発明の実施例によるnチャネルMOSトランジスタを有する半導体装置の製造工程を示す断面図である。

特開平15-017578

(8)

【図3】 pチャネルMOSトランジスタの製造工程を示す断面図である。

【図4】 高耐圧トランジスタの製造工程を示す断面図及び半導体チップの平面図である。

【図5】 従来の技術による半導体装置の製造工程を示す半導体チップの断面図である。

【図6】 ポケット領域をインジウムで形成した場合のサーマルウェーブの測定結果を示すグラフである。

【図7】 ポケット領域をインジウムで形成した場合とインジウムとボロンを混合して形成した場合のリー

電流特性を示すグラフである。

【図8】 標準トランジスタと低リークトランジスタの閾値のゲート幅及びゲート長依存性を示すグラフである。

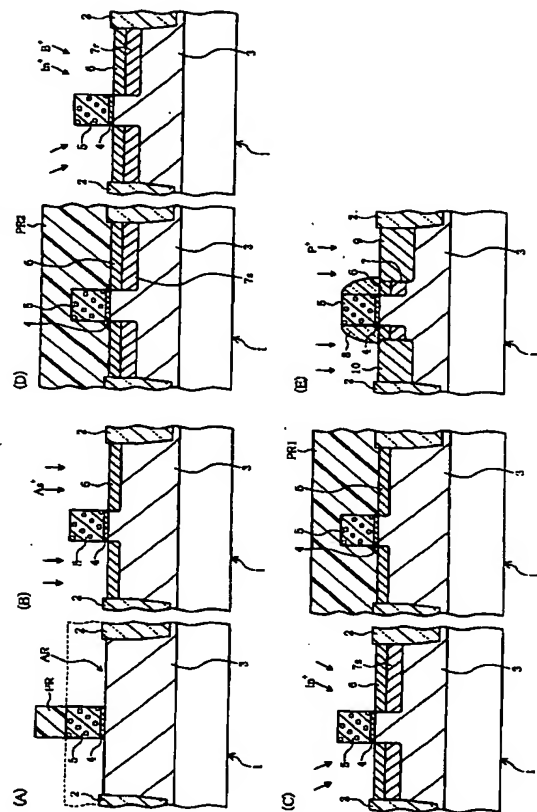
【符号の説明】

1 シリコン基板

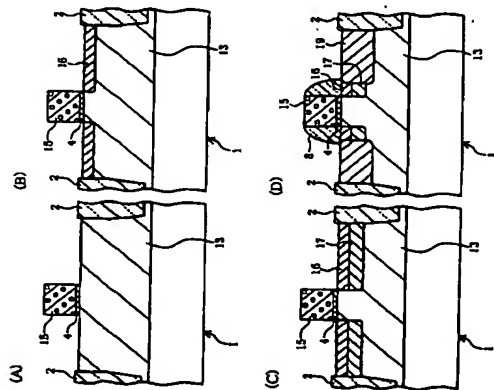
2 蔡子公辭領此

3 ウェル／手ヤネル領地

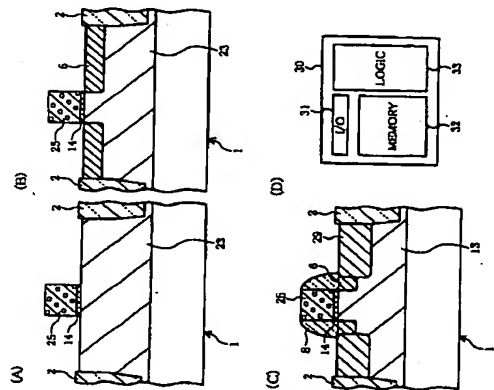
【图2】



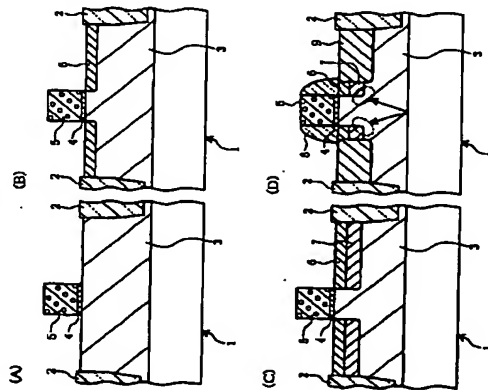
【図3】



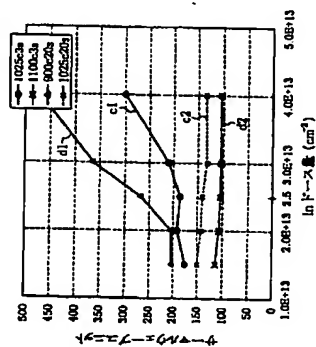
【図4】



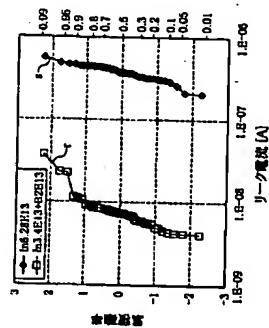
【図5】



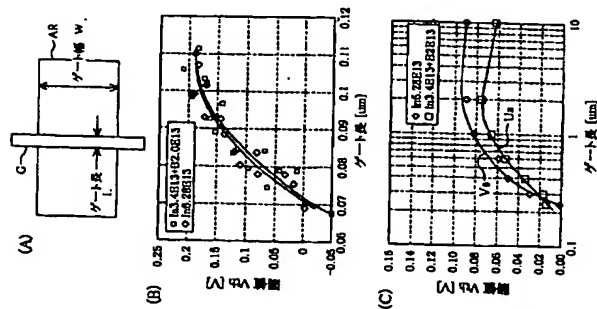
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成13年11月7日(2001.11.7)

7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項4

【補正方法】変更

【補正内容】

【請求項4】さらに、前記素子分離領域によって画定された第3の活性領域と、

前記第3の活性領域上に形成され、前記第1および第2の絶縁ゲートのゲート絶縁膜よりも厚いゲート絶縁膜を有する第3の絶縁ゲートと、前記第3の絶縁ゲート画面上で第3の活性領域に形成され、ポケット領域を伴わない第3のエクステンション領域とを有する第3のnチャネルMOSトランジスタと、を有する請求項1〜3のいずれか1項に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正内容】

【0076】なお、p型不純物としてBを用いる場合、イオン種としてボロンの他BF₃、デカボラン等ボロン化合物を用いてもよい。論理回路を標準トランジスタで作る場合を説明したが、論理回路を標準トランジスタと低リークトランジスタとの組み合わせ、または、低リークトランジスタのみで作ることができる。ゲートとしてノッチゲートを用いてもよい。

【手続補正3】

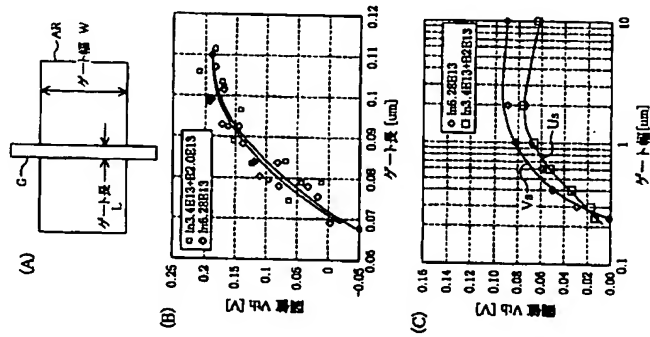
【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



【手続補正2】

【提出日】平成13年12月19日(2001.12.19)

【手続補正1】

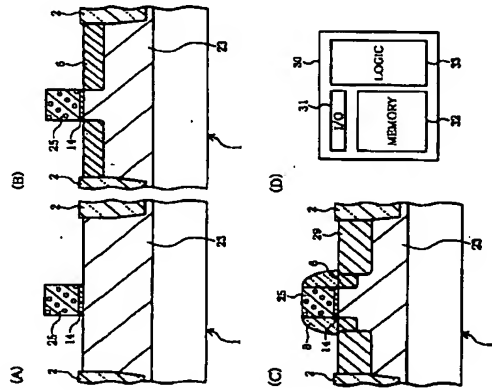
【補正対象事項名】図面

【補正対象項目名】図4

【補正方法】変更

【補正内容】

【図4】



【手続補正2】

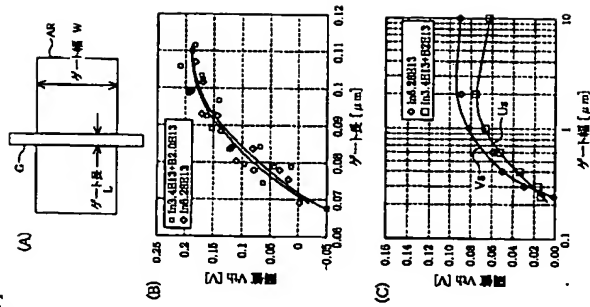
【補正対象事項名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】



フロントページの続き

(72)発明者 岡部 聖一

愛知県春日井市高蔵寺町二丁目184番2号

富士通ワイエールエスアイ株式会社内

(72)発明者 渡辺 孔

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

Fターム(参考) SF048 AA07 AA08 AB03 AC01 BA01

BB05 BB08 BB16 BB18 BC05

BC06 BD04 BC14

SF140 AA21 AA22 AA24 AB01 AB03

AC32 AC33 BA01 BB15 BC06

BE07 BF04 BF11 BF18 BC08

BG12 BG51 BG53 BH14 BH15

BH21 BH36 BK02 BK13 BK14

BK21 BK22 CB04 CB08